



JP2002076338

Biblio

Page 1

Drawing

esp@cenet

METHOD AND SYSTEM FOR SIMULATING DEVICE, AND RECORDING MEDIUM WITH SIMULATION PROGRAM RECORDED THEREON

Patent Number: JP2002076338
Publication date: 2002-03-15
Inventor(s): WATANABE HIROSHI
Applicant(s): TOSHIBA CORP
Requested Patent: JP2002076338
Application: JP20000267574 20000904
Priority Number(s):
IPC Classification: H01L29/78; H01L21/336;
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a method for simulating a device capable of accurately calculating a leakage current by direct tunneling.

SOLUTION: This system comprises a first tunnel current calculator 1 for calculating a first tunnel current generated by passing electrons along a fine tube having an infinitesimal thickness, and disposed in an arbitrary direction directed from a first interface to a second interface of both sides via an insulating film, by considering probability of electrons having a momentum parallel to the tube and probability of electrons tunneling along the tube; a second tunnel current calculator 2 for calculating a second tunnel current generated by passing electrons along the tube having an infinitesimal thickness, and disposed in an arbitrary direction directed from the second interface toward the first interface, by considering probability of the electrons having a momentum parallel to the tube and probability of the electrons tunneling along the tube; and a net tunnel current calculator 3 for calculating the net tunnel current flowing between the first interface and the second interface due to a difference of the first tunnel current and the second tunnel current.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76338

(P2002-76338A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.⁷

H 0 1 L 29/78
21/336
29/00

識別記号

F I

H 0 1 L 29/00
29/78

テマコード(参考)

5 F 0 4 0
3 0 1 Z

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21)出願番号 特願2000-267574(P2000-267574)

(71)出願人 000003078

(22)出願日 平成12年9月4日(2000.9.4)

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 渡辺 浩志

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

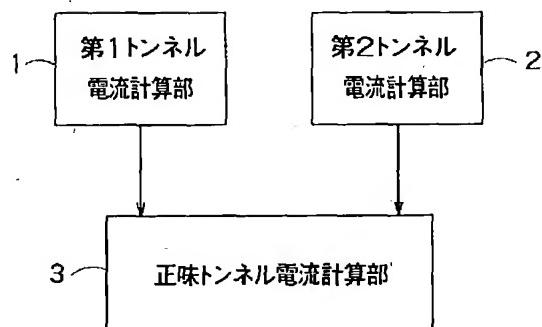
F ターム(参考) 5F040 DA00 EF10

(54)【発明の名称】 デバイスシミュレーション方法、デバイスシミュレーションシステム、およびシミュレーションプログラムを記録した記録媒体

(57)【要約】

【課題】 直接トンネリングによるリーク電流を精度よく計算することができるデバイスシミュレーション方法を提供する。

【解決手段】 本装置は、絶縁膜を挟んで両側の第1界面から第2界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第1トンネル電流を細管と平行な運動量をもつ電子の確率と細管に沿ってトンネルする電子の確率とを考慮に入れて計算する第1トンネル電流計算部1と、第2界面から第1界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第2トンネル電流を細管と平行な運動量をもつ電子の確率と細管に沿ってトンネルする電子の確率とを考慮に入れて計算する第2トンネル電流計算部2と、第1トンネル電流と第2トンネル電流との差分により第1界面と第2界面との間を流れる正味のトンネル電流を計算する正味トンネル電流計算部3とを備える。



【特許請求の範囲】

【請求項1】絶縁膜を挟んで両側の第1界面から第2界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第1トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算するステップと、

前記第2界面から前記第1界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第2トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算するステップと、

前記第1トンネル電流と前記第2トンネル電流との差分により、前記第1界面と前記第2界面との間に流れる正

$$D\kappa(\alpha, \beta) = \exp\left(-\frac{2}{\sin \alpha |\cos \beta|} \int_0^{t_{ox}} dz \cdot \kappa(z)\right) \quad (1)$$

【請求項3】前記正味のトンネル電流を計算するステップは、前記第1トンネル電流と前記第2トンネル電流との差分を、極座標系における立体角とフェルミ準位とを用いて表した式の積分因子を近似処理することにより、前記正味のトンネル電流を計算することを特徴とする請求項1または2に記載のデバイスシミュレーション方法。

【請求項4】前記正味のトンネル電流を計算するステップは、前記積分因子に含まれる角度成分をテーラー展開した4次以上の項の値が所定値以下になるように、角度成分の値を設定することを特徴とする請求項3に記載のデバイスシミュレーション方法。

【請求項5】前記正味のトンネル電流を計算するステップは、前記積分因子の積分回数が所定回数以下になるよ

$$J = J_0 \times \pi^2 \left[1 - \frac{4}{3\pi} \left\{ \left(\alpha_0 - \frac{\pi}{2} \right)^3 + \beta_0^3 \right\} \int_0^{t_{ox}} dz \kappa_F(z) \right] \quad (2)$$

【請求項7】前記正味のトンネル電流を計算するステップは、前記第1界面と前記第2界面との間に流れる正味のトンネル電流Jを、素電荷qと、バンドの谷の数M_cと、有効状態密度質量m_{de}と、プランク定数を2πで割った値hバーと、電子のエネルギーEと、ポリシリコン側／基板側の伝導帯端E_{cpoly}と、ゲート電圧V

$$J = \frac{4qM_c m_{de}}{\pi^2 h^3} \int dE \sqrt{(E - E_{cpoly} + q\varphi_{spoly})(E - qV_G - E_{csub} + q\varphi_{ssub})} \\ \times \{f(E) - f(E - qV_G)\} \times \frac{1}{4\pi} \int_0^\pi d\alpha \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} e^{-\frac{2}{\sin \alpha \cos \beta} \int_0^{t_{ox}} dz \kappa(z)} \quad (3)$$

【請求項8】前記正味のトンネル電流を計算するステップは、前記細管に沿ってフェルミ準位にある電子がトンネルする確率D(α, β)が、前記第1界面と前記第2界面との間に最短距離で結ぶZ軸方向に平行な経路のみで

味のトンネル電流を計算するステップと、を備えることを特徴とするデバイスシミュレーション方法。

【請求項2】前記第1トンネル電流を計算するステップと、前記第2トンネル電流を計算するステップとは、前記第1界面上に設けたXY平面および前記XY平面と直交するように設けられたZ軸からなるXYZ軸系において、前記細管の中心線とY軸の為す角度をα、前記細管の中心線をXZ平面に写影した線とZ軸の為す角度をβ、前記絶縁膜の膜厚をt_{ox}、前記第1界面の法線方向をZ軸としたとき、前記細管に沿って電子がトンネルする確率Dを、(1)式の関係を満たすように設定することを特徴とする請求項1に記載のデバイスシミュレーション方法。

【数1】

うに角度成分の値を設定することを特徴とする請求項3または4に記載のデバイスシミュレーション方法。

【請求項6】前記正味のトンネル電流を計算するステップは、前記第1界面と前記第2界面との間に流れる正味のトンネル電流Jを、前記第1界面と前記第2界面との間に最短距離で結ぶ方向に平行な経路のみでトンネルすると仮定して計算したトンネル電流J_0と、フェルミ準位の電子がトンネルする際に電子が持つ波数の虚部k_Fと、定数α_0と、定数β_0と、前記絶縁膜の膜厚t_{ox}とを用いて、(2)式で計算することを特徴とする請求項1～5のいずれかに記載のデバイスシミュレーション方法。

【数2】

と、ポリシリコン側／基板側の表面ポテンシャルψ_{spoly}と、フェルミーディラック関数f(E)と、酸化膜厚t_{ox}とを用いて、(3)式で求めることを特徴とする請求項1～5のいずれかに記載のデバイスシミュレーション方法。

【数3】

トンネルすると仮定して計算したフェルミ準位にある電子のトンネル確率D_0と、任意に選択可能なトンネル確率の相対誤差εと、前記細管と前記Y軸との為す角度α_0と、前記細管を前記XZ平面に写影した線が前記Z軸

と為す角度 β_0 とを用いて、 $D(\pi/2, \beta_0) = \epsilon \times D_0$ 、および $D(\alpha_0, 0) = \epsilon \times D_0$ を満たすような前記細管を考慮に入れて前記正味のトンネル電流を計算することを特徴とする請求項1～7のいずれかに記載のデバイスシミュレーション方法。

【請求項9】絶縁膜を挟んで両側の第1界面から第2界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第1トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算する第1トンネル電流計算手段と、前記第2界面から前記第1界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第2トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算する第2トンネル電流計算手段と、前記第1トンネル電流と前記第2トンネル電流との差分により、前記第1界面と前記第2界面との間を流れる正味のトンネル電流を計算する正味トンネル電流計算手段と、を備えることを特徴とするデバイスシミュレーション装置。

【請求項10】絶縁膜を挟んで両側の第1界面から第2界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第1トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算するステップと、

前記第2界面から前記第1界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第2トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算するステップと、

前記第1トンネル電流と前記第2トンネル電流との差分により、前記第1界面と前記第2界面との間を流れる正味のトンネル電流を計算するステップと、を実行可能なシミュレーションプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイスの動作を計算によりシミュレーションするデバイスシミュレーション方法、デバイスシミュレーションシステム、およびシミュレーションプログラムを記録した記録媒体に関する、特に、直接トンネリングによるゲート電極へのリーコンデンサー電流により生じる消費電力を正確に見積もる技術に関する。

【0002】

【従来の技術】トランジスタの微細化が進むと、図8に示すように、ソースからドレインに流れるべき電子の一部がゲート側にも流れれる。これは、いわゆる直接トンネル

ル電流であり、このトンネル電流は、微細化が進むほど多くなる。トンネル電流が流れる経路は、必ずしも界面の法線方向だけでなく、種々の方向に流れる。

【0003】ただし、トランジスタの動作をシミュレーションする場合は、計算を容易にするため、従来は、トンネル電流を法線方向に近似していた。このため、従来のシミュレーション技術を利用して直接トンネルゲートリーコンデンサー電流を計算すると、203%ほどリーコンデンサー電流を過剰評価してしまうという問題があった。この原因は、電極中の伝導電子が絶縁膜界面に到達するときの入射角と、その入射角に応じたトンネル確率の組み合わせを整合性良く定式化していかなかったためである。

【0004】このように、従来のシミュレーション技術では、入射角による電子濃度の依存性を考慮することはあっても、トンネル確率の入射角依存性までは考慮していなかった(R. Tsu and L. Esaki, Appl. Phys. Lett. 22, 562, 1973)。

【0005】一方、トンネル確率の入射角依存性のみを考慮することは従来技術の簡単な拡張で可能であるが、両者を整合性よく定式化した状態で、デバイスシミュレータの中で効率よく機能させることは困難であった。

【0006】

【発明が解決しようとする課題】半導体デバイスの薄膜化が進むにつれて、直接トンネリングによるゲートへのリーコンデンサー電流が増大し、消費電力の悪化が危惧されている。にもかかわらず、微細化および薄膜化は年々進む方向にあり、もはやゲートリーコンデンサーによる電力ロスを見込んだ上で半導体装置を設計・開発せざるを得なくなっている。このような状況から、次世代TCAD(Technology Computer Aided Design)技術として、直接トンネリングによる消費電力を出来る限り正確に再現するデバイスシミュレーション技術の開発が急務となっている。

【0007】本発明は、このような点に鑑みてなされたものであり、その目的は、直接トンネリングによるリーコンデンサー電流を精度よく計算することができるデバイスシミュレーション方法、デバイスシミュレーションシステム、およびシミュレーションプログラムを記録した記録媒体を提供することにある。

【0008】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、絶縁膜を挟んで両側の第1界面から第2界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第1トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算するステップと、前記第2界面から前記第1界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第2トンネル電流を、前記細管と平行な運動量をもつ電子の確率と前記細管に沿ってトンネルする電子の確率とを考慮に入れて計算するステップと、

アと、前記第1トンネル電流と前記第2トンネル電流との差分により、前記第1界面と前記第2界面との間を流れる正味のトンネル電流を計算するステップと、を備える。

【0009】本発明では、第1界面と第2界面との間で任意の方向に配置される細管に沿って電子が透過して生じるトンネル電流を、細管と平行な運動量をもつ電子の確率と細管に沿ってトンネルする電子の確率とを考慮に入れて計算するため、直接トンネリングによるトンネル電流を精度よく検出でき、半導体デバイスの動作をより正確にシミュレーションすることができる。このとき、トンネル確率Dは、(1)式の関係を満たすように設定される。

【0010】また、正味のトンネル電流を計算する際には、第1トンネル電流と第2トンネル電流との差分を、極座標系における立体角とフェルミ準位とを用いて表した式の積分因子を近似処理するため、計算時間を短縮できる。

【0011】このとき、積分因子のテーラー展開に含まれる角度成分の4次以上の項の値が所定値以下になるように、角度成分の値が設定される。また、積分因子の積分回数が所定回数以下になるように角度成分の値を設定するのが望ましい。

【0012】また、正味のトンネル電流は、(2)または(3)式に基づいて計算される。

【0013】また、 $D(\pi/2, \beta 0) = e \times D_0$ 、および $D(\alpha 0, 0) = e \times D_0$ を満たすような前記細管を考慮に入れて前記正味のトンネル電流を計算することで、計算時間を短縮できる。

【0014】

【発明の実施の形態】以下、本発明に係るデバイスシミュレーション方法、デバイスシミュレーションシステム、およびシミュレーションプログラムを記録した記録媒体について、図面を参照しながら具体的に説明する。本実施形態は、3次元電子ガスが本質的に持つ性質として、絶縁膜に入射する電子に入射角依存性があることを考慮に入れてトンネル電流を計算する点に特徴がある。

【0015】図1は本発明に係るデバイスシミュレーションシステムの一実施形態のブロック図である。図1の装置は、絶縁膜を挟んで両側の第1界面から第2界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第1トンネル電流を、細管と平行な運動量をもつ電子の確率と細管に沿ってトンネルする電子の確率とを考慮に入れて計算する第1トンネル電流計算部1と、第2界面から第1界面に向かう任意の方向に配置される微小太さの細管に沿って電子が透過して生じる第2トンネル電流を、細管と平行な運動量をもつ電子の確率と細管に沿ってトンネルする電子の確率とを考慮に入れて計算する第2トンネル電流計算部2と、第1トンネル電流と第2トンネル電流との差分により、第1

界面と第2界面との間を流れる正味のトンネル電流を計算する正味トンネル電流計算部3とを備えている。

【0016】一般に、トランジスタのチャネル領域からゲート絶縁膜を介してゲート電極に流れるトンネル電流I_tは、トンネル電子数とトンネル確率の積で記述できる。実際に計算するためには、(4)式に示すように固有ベクトルkで成分分解すると便利である。なお、本明細書では、ベクトルを表す記号は、記号の上に矢印を付す代わりに、記号に下線を附加する。

【0017】

【数4】

$$I_t = \sum_k N_{\underline{k}} \times D_{\underline{k}} \quad (4)$$

ここで、N_kは固有ベクトルkでトンネルする電子の数、D_kは固有ベクトルkでトンネルする電子のトンネル確率である。ここで重要なことは、ベクトルは大きさと向きの自由度を同時に含んでおり、ベクトルkによる和は、大きさと向きの両方に分解した成分を足し合わせるものである。したがって、トンネル電子数N_kもトンネル確率D_kも、どちらも固有ベクトルの大きさkと固有ベクトルkの向きの両方に依存する関数形でなければならない。ゲート酸化膜をトンネルする場合、この固有ベクトルkの大きさは、(5)式の関係を満たす。

【0018】

【数5】

$$\frac{\hbar^2 k^2}{2m_{ox}} = EC_{ox} - E \quad (5)$$

ここで、hバーはボルツマン定数を2πで割ったもの、m_{ox}はトンネルマス、EC_{ox}は酸化膜の伝導帯端のエネルギー、Eはトンネル電子のもつエネルギーである。

【0019】EC_{ox}がEより大きいとき、kは純虚数になるので、これを、 $k^2 = -\kappa^2$ の関係を使って、実数 κ に置き換える。もっとも簡易な近似では、トンネル電子数もトンネル確率も、 κ のみの関数として記述する。この場合、トンネル確率は、(6)式で表される。

【0020】

【数6】

$$D_{\kappa 0} = \exp \left(-2 \int_0^{t_{ox}} dz \cdot \kappa(z) \right) \quad (6)$$

ここで、酸化膜界面の法線方向にZ軸を取り、t_{ox}は酸化膜厚とする。実際のトンネル現象では、入射角依存性を考慮に入れなければならないが、簡略化のため、図2ではXZ平面のみで書き表している。

【0021】(6)式中の実数 κ は、一般に(7)式で表されることが知られている。

【0022】

【数7】

$$\kappa(z) = \frac{1}{\hbar} \sqrt{2m_{ox}(E_{cox}(z) - E)} \quad (7)$$

図3は極座標表示による位置ベクトル \underline{r} を示す図である。図示のように z 軸を取ると、酸化膜厚 t_{ox} は(8)式で表される。

$$[0023] t_{ox} = |\underline{r}| \sin \alpha \cos \beta \quad (8)$$

このとき、トンネルする距離が $|\underline{r}|$ であることを考えると、(6)式は(9)式のようになる。

[0024]

$$D_\kappa(\alpha, \beta) = \exp \left(-\frac{2}{\sin \alpha |\cos \beta|} \int_0^{t_{ox}} dz \cdot \kappa(z) \right) \quad (11)$$

(11)式において、 β はベクトル \underline{k} をXZ平面に射影したときのZ軸とのなす角、 α はベクトル \underline{k} がY軸となす角である。これら α 、 β は、図4に示されている。

[0026] α を0から π まで変化させ、かつ β を0から 2π まで変化させることで、全球面を覆い尽くすことが出来る。このとき、 $\sin \alpha |\cos \beta|$ は1以下の正の実数なので、(8)式により、トンネル確率 $D_\kappa(\alpha, \beta)$ は D_{κ_0} より大きくなることはない。

[0027] $\alpha = \pi/2$ および $\beta = 0$ を満たすときのみ D_{κ_0} と一致し、この条件からはずれると急激に小さくなる。このため、トンネル確率として D_{κ_0} を使ってトンネル電流を計算すると、消費電力を過剰評価してしまうことになる。一方、酸化膜に入射してくる電子がこの条件を満たす確率は、3次元電子ガス近似の範囲で、(9)

$D_\kappa(\pi/2, \beta_0) = \epsilon \times D_{\kappa_0}$ 、すなわち、 α_0, β_0 は、(13)式を解くことによって数值的に求めることができる。

[0031] 図5に示すように、酸化膜OXの左側Lと右側Rの電極間を流れる電流は、左から右に流れる成分 J_{LR} と右から左に流れる成分 J_{RL} との差 J_0 になる。すなわち、(14)式の関係が成り立つ。

$$J_0 \propto [f_L(E) - f_R(E)] \quad (14)$$

上記の(11)式を求めたときと同様に、極座標表示で角度依存性を導入するために、(15)式を(16)式のように変形する。

$$J_0 \propto \int_0^\pi d\alpha \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} d\beta [\rho_L f_L(E) - \rho_R f_R(E)] D_\kappa(E, \alpha, \beta) \quad (16)$$

(13)式中の ρ_L, ρ_R は、電極L, Rでの立体角を表す。本実施形態では、三次元電子ガスを仮定するため、(17)式の関係が成り立つ。

[0035]

[数14]

$$\rho_L = \rho_R = \frac{1}{4\pi} \quad (17)$$

【数8】

$$D_\kappa(\alpha, \beta) = e^{-2 \int_0^{t_{ox}} \sin \alpha \cos \beta dr \kappa(z)} \quad (9)$$

ここで、(10)式の関係が成り立つことから、最終的にトンネル確率は、(11)式のようになる。

[0025]

【数9】

$$dr = \frac{dz}{\sin \alpha \cos \beta} \quad (10)$$

【数10】

$$D_\kappa(\alpha, \beta) = \exp \left(-\frac{2}{\sin \alpha |\cos \beta|} \int_0^{t_{ox}} dz \cdot \kappa(z) \right) \quad (11)$$

式で表される。

[0028]

【数11】

$$\rho = \frac{1}{4\pi} \quad (12)$$

実際のトンネリングにおいては、 $\alpha = \pi/2$ および $\beta = 0$ の条件からはずれるトンネルパスの寄与をどこまで取り入れるべきかで、トンネル電流の近似公式が決定される。

[0029] 本実施形態では、 $D_\kappa(\alpha, \beta)$ が D_{κ_0} の ϵ 倍($\epsilon < 1$)以上のすべてのトンネルパスについて足し合わせるものとし、近似パラメータ $\alpha_0(\epsilon), \beta_0(\epsilon)$ が以下の(13)式を満たすと仮定する。

[0030]

$$D_\kappa(\alpha_0, 0) = \epsilon \times D_{\kappa_0} \quad (13)$$

$$[0032] J = J_{LR} - J_{RL} \quad (14)$$

ここで、電極L, Rでのフェルミーディラック関数をそれぞれ $f_L(E), f_R(E)$ とすると、(14)式は(15)式のように表される。

[0033]

【数12】

$$D_\kappa(E) \quad (15)$$

【0034】

【数13】

(16)式中の $f_L(E), f_R(E)$ は、 α や β には依存しないので、(18)式の関係が成り立つ。

[0036]

【数15】

$$J \propto \frac{1}{4\pi} [f_L(E) - f_R(E)] \times \int_0^\pi d\alpha \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} d\beta D_K(\alpha, \beta) \quad (18)$$

シミュレーションを行う際には、数値積分を行う回数は一回でも減らすことが重要なため、(18)式中の積分因子の近似を考える。

【0037】 $\alpha = (\pi/2) + \epsilon$ および $\beta = \delta$ として、 ϵ

$$(\sin \alpha \cdot \cos \beta)^{-1} = 1 + (\epsilon^2 + \delta^2)/2 + \eta^4 \quad (19)$$

(19)式より、(18)式の積分因子は(20)式のようになる。

と δ の4次以上の項を η^4 と記載すると、テーラー展開によって(19)式の関係が得られる。

【0038】

【0039】

【数16】

$$\int_0^\pi d\alpha \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} d\beta D_K(E, \alpha, \beta) = \pi^2 [1 - \frac{4}{\pi} (\int_0^\pi d\epsilon \epsilon^2 + \int_0^\pi d\delta \delta^2) \int_0^{10x} dz K + \eta^4] \times D_{K0}(E) \quad (20)$$

この結果、 J/J_0 は(21)式のようになる。

【数17】

【0040】

$$\frac{J}{J_0} = \pi^2 [1 - \frac{4}{\pi} (\int_0^\pi d\epsilon \epsilon^2 + \int_0^\pi d\delta \delta^2) \int_0^{10x} dz K + \eta^4] \quad (21)$$

ここで重要なことは、(21)式の中にいっさい近似が含まれていないことである。 η^4 は、 ϵ および δ の四次以上の項であり、切り捨てているわけではないためである。

【0041】 η^4 を切り捨てるには、 η^4 を切り捨ててもよいくらい ϵ と δ が小さくなければならぬ。また、積分回数を減らすには、(21)式中の ϵ と δ の各積分項にも何らかの近似が必要である。このような両方の要求を満たすために、(22)式および(23)式のように置く。

【0042】

【数18】

$$\int_0^\pi d\epsilon \epsilon^2 \approx \int_0^\pi d\epsilon \epsilon^2 = \frac{\epsilon^3}{3} \quad (22)$$

$$\int_0^\pi d\delta \delta^2 \approx \int_0^\pi d\delta \delta^2 = \frac{\delta^3}{3} \quad (23)$$

この近似は、 $\epsilon = \delta = 0$ の近傍、すなわち、 $\alpha = \pi/2$, $\beta = 0$ の近傍で精度が高くなる。実際に、 $\alpha = \pi/2$, $\beta = 0$ の経路は、 z 軸に沿った経路となるので、トンネル電流への寄与が最も大きい経路になる。この経路からずれるにしたがって、トンネル電流への寄与が小さくなる。そこで、この($\delta/100$)%の寄与を持つ経路まで足し合わせることにする。このとき、(24)式および(25)式の関係が成り立つ。

【0043】

$$D_K(\alpha_0, 0) \equiv \delta \times D_K(\pi/2, 0) \quad (24)$$

$$D_K(\pi/2, \beta_0) \equiv \delta \times D_K(\pi/2, 0) \quad (25)$$

このため、(21)式は、(26)式のように近似することができる。

【0044】

【数19】

$$\frac{J}{J_0} \approx \pi^2 [1 - \frac{4}{3\pi} \{(\alpha_0 - \frac{\pi}{2})^3 + \beta_0^3\} \int_0^{10x} dz K] \quad (26)$$

(26)式中の積分因子は、 $D_K(\pi/2, 0) = D_K$ を計算するのに一度計算されるため、この公式を用いれば、一度も数値積分をすることなく、 J_0 への補正因子(J/J_0)を($\delta/100$)%の精度で計算することができる。しかも、高速に精度を制御しながら計算することができます。

【0045】一方、従来公知のトンネル電流の公式を用いると、上述したトンネル電流 J_0 は、以下の(27)式で表される。

【0046】

【数20】

$$J_0(V_G) = \frac{4qM_c m_{de}}{\pi^2 \hbar^3} \int dE \sqrt{(E - E_{cpoly} + q\varphi_{spoly})(E - qV_G - E_{csub} + q\varphi_{ssub})} \\ \times \{f(E) - f(E - qV_G)\} e^{-2\int_0^{t_{ox}} dz k(z)} \quad (27)$$

ここで、 q は素電荷、 M_c はSiのバンドの谷の数(=6)、 m_{de} は有効状態密度質量($=0.328m_0$)で、 m_0 は自由電子質量($=9.1 \times 10^{-31}$ kg)、 \hbar バーはプランク定数を 2π で割った値($=6.63 \times 10^{-34}$ [J·s]/(2 π))、 E は電子のエネルギー、 $E_{cpoly/sub}$ はポリシリコン側／基板側の伝導帯端、 V_G はゲート電圧、 $\varphi_{spoly/sub}$ はポリシリコン側／基板側の表面ポテンシャル、 f

$$J(V_G) = \frac{4qM_c m_{de}}{\pi^2 \hbar^3} \int dE \sqrt{(E - E_{cpoly} + q\varphi_{spoly})(E - qV_G - E_{csub} + q\varphi_{ssub})} \\ \times \{f(E) - f(E - qV_G)\} \times \int_0^1 \frac{du}{4\pi} \cdot e^{-\frac{2\int_0^{t_{ox}} dz k(z)}{u}} \quad (28)$$

(1) (2)

(28)式中の θ は図1に示すものであり、 $u = \cos \theta$ 、 $d u = d(\cos \theta) = -\sin \theta d\theta$ である。

【0049】また、 $d u / 4\pi$ は、トンネル電流の経路である微小太さの細管と平行な運動量をもつ確率である。これを細管ごとに足し合わせると、(28)式中の①の積分因子になる。

【0050】また、(28)式中の②の因子は、細管に沿ってトンネルする確率である。図4より、(28)式中の①の因子は、(29)式で表される。②の因子は、(30)式で表される。

【0051】

【数22】

$$\int_0^1 \frac{du}{4\pi} = \frac{1}{4\pi} \int_0^\pi d\alpha \int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} d\beta \quad (29)$$

$$e^{-\frac{2\int_0^{t_{ox}} dz k(z)}{u}} = e^{-\frac{2}{\sin \alpha \cos \beta} \int_0^{t_{ox}} dz k(z)} \quad (30)$$

(27)～(29)式より、(26)式の関係が得られる。

【0052】(26)式の補正因子を用いて計算したトンネル電流は、図6の点線のようになる。同図の横軸はゲート電圧である。比較のため、従来例の代表として J_0 も実線で示してある。図中上方の2本の曲線がnMOSFET、下方の2本の曲線がpMOSFETである。計算条件は、酸化膜厚1.5[nm]、ゲートポリの不純物濃度 $1E20\text{cm}^{-3}$ 、基板濃度 $4E18\text{cm}^{-3}$ とした。これは、ムーアの法則に基づいて2005年に実現すると予想されている、8Gb-DRAMのスペックに合わせている。また、電子正孔系の温度は、室温(300K)とした。

【0053】図6から明らかなように、本発明によるト

(E)はフェルミーディラック関数、 t_{ox} は酸化膜厚である。

【0047】また、正味のトンネル電流 J は、以下の(28)式で表される。

【0048】

【数21】

ンネル電流の計算結果(点線)は、従来技術による計算結果(実線)よりかなり小さくなっている。これは、酸化膜を透過するほとんどの電子が、 $\alpha = \pi/2$ および $\beta = 0$ の条件を満たすような入射角で酸化膜界面に近づいて来る電子は少数であるという事実を反映している。

【0054】一方、図7は、図6で示した効果の割合を示すため、縦軸に $(J - J_0)/J_0$ を取ってプロットし直した図である。このように、従来例で計算したものより20%以上の割合でトンネル電流が小さくなっていることが判る。これは、従来技術を用いるとトンネル電流を過剰評価していたことを示している。

【0055】最後に、2005年に実現すると言われている8Gb-DRAMにおける消費電力を見積もっておく。ゲート長100[nm]、ゲート幅200[nm]、トンネル電流 100A/cm^2 、ゲート電圧1Vとすると、(30)式の関係が成り立つ。

$$P = I \times V = \text{約 } 160\text{W} \quad (30)$$

(30)式のうち、20%以上、すなわち40W程度が間違った計算方法によって過剰に評価されたものである。これは、LSIの設計コストを著しく損なうものである。本発明によれば、このような消費電力の誤評価による設計コストの増大を抑えることができる。

【0056】上述した実施形態で説明した機能を有するシミュレーションプログラムを、フロッピー(登録商標)ディスクやCD-ROM等の記録媒体に収納し、コンピュータに読み込ませて実行させてもよい。記録媒体は、磁気ディスクや光ディスク等の携帯可能なものに限らず、ハードディスク装置やメモリなどの固定型の記録媒体でもよい。また、この種のシミュレーションプログラムを、インターネット等の通信回線(無線通信も含む)を介して頒布してもよい。さらに、この種のシミュレーションプログラムを暗号化したり、変調をかけた

り、圧縮した状態で、インターネット等の有線回線や無線回線を介して、あるいは記録媒体に収納して頒布してもよい。

【0057】

【発明の効果】以上詳細に説明したように、本発明によれば、第1界面と第2界面との間のトンネル電流を正確に計算できるため、直接トンネリングによるゲートへのリーク電流によって生じる消費電力を正確に見積もることができ、LSIの設計コストの増大を抑制できる。

【図面の簡単な説明】

【図1】本発明に係るデバイスシミュレーション装置の一実施形態のブロック図。

【図2】トンネル電流の方向成分を示す図。

【図3】極座標表示による位置ベクトル \vec{r} を示す図。

【図4】 α , β を示す図。

【図5】酸化膜の左右間を流れるトンネル電流を示す図。

【図6】ゲート電圧とトンネル電流との関係を示す特性図。

【図7】縦軸に $(J - J_0)/J_0$ を取って図6をプロットし直した図

【図8】トンネル電流の寄与を説明する図。

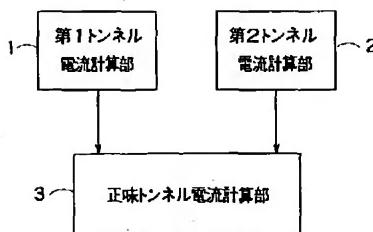
【符号の説明】

1 第1トンネル電流計算部

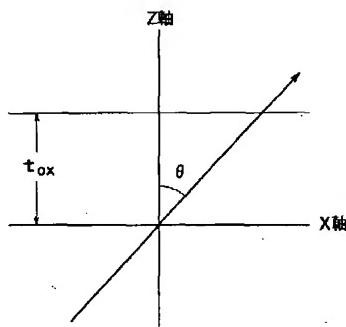
2 第2トンネル電流計算部

3 正味トンネル電流計算部

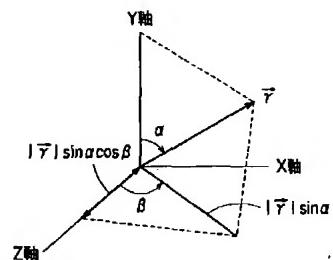
【図1】



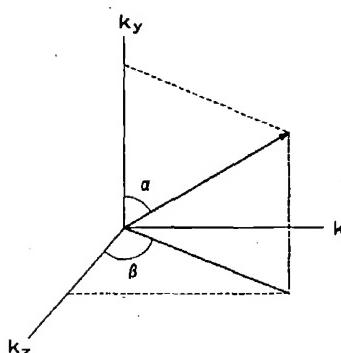
【図2】



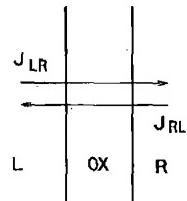
【図3】



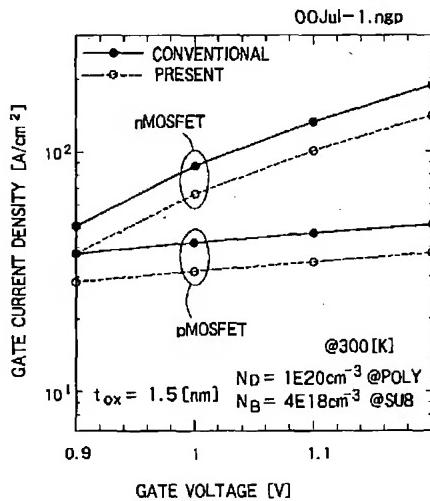
【図4】



【図5】



【図6】



【図8】



【図7】

